

DERWENT-ACC-NO: 2002-217837

DERWENT-WEEK: 200228

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: DMOS cell consists of a DMOS transistor and a Schottky diode formed in the contact hole between the source-contact layer and the drain zone of the transistor

INVENTOR: KANERT, W; SOMMER, P ; WERNER, W

PATENT-ASSIGNEE: INFINEON TECHNOLOGIES AG[INFN]

PRIORITY-DATA: 2000DE-1005774 (February 10, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
DE 10005774 A1	August 23, 2001	N/A	005	H01L 029/78

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
DE 10005774A1	N/A	2000DE-1005774	February 10, 2000

INT-CL (IPC): H01L029/78, H01L029/872

ABSTRACTED-PUB-NO: DE 10005774A

BASIC-ABSTRACT:

NOVELTY - DMOS cell consists of DMOS transistor (11) and Schottky diode (12) which lie parallel to the source-drain path of the transistor. The source zone (6) of the transistor is in contact with a source-contact layer (7, 14) via a contact hole (8) in a gate insulating layer (9). The Schottky diode is formed in the contact hole between the source-contact layer and the drain zone (1, 2) of the transistor.

DETAILED DESCRIPTION - Preferred Features: The source-contact layer is provided with a Schottky metallization (13) made from tungsten silicide, tantalum silicide, platinum silicide or molybdenum silicide, and has a plug (14) made from conducting polycrystalline silicon.

USE - Used as a DMOS cell.

ADVANTAGE - The cell has a minimal surface area.

DESCRIPTION OF DRAWING(S) - The drawing shows a cross-section through the DMOS cell.

Drain zone 1, 2

Source-contact layer 7, 14

DMOS transistor 11

Schottky diode 12

Schottky metallization 13

Plug 14

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS: DMOS CELL CONSIST DMOS TRANSISTOR SCHOTTKY DIODE
FORMING CONTACT
HOLE SOURCE CONTACT LAYER DRAIN ZONE TRANSISTOR

DERWENT-CLASS: L03 U12 U13

CPI-CODES: L04-C10B; L04-C10F; L04-C11; L04-E01B; L04-E02;

EPI-CODES: U12-C01C; U12-D02A9; U12-Q; U13-D03A;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2002-066904

Non-CPI Secondary Accession Numbers: N2002-166911



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 100 05 774 A 1**

⑤ Int. Cl. 7:
H 01 L 29/78
H 01 L 29/872

⑲ Aktenzeichen: 100 05 774.8
⑳ Anmeldetag: 10. 2. 2000
㉑ Offenlegungstag: 23. 8. 2001

DE 100 05 774 A 1

⑦ Anmelder:
Infineon Technologies AG, 81669 München, DE

⑧ Vertreter:
Patentanwälte MÜLLER & HOFFMANN, 81667
München

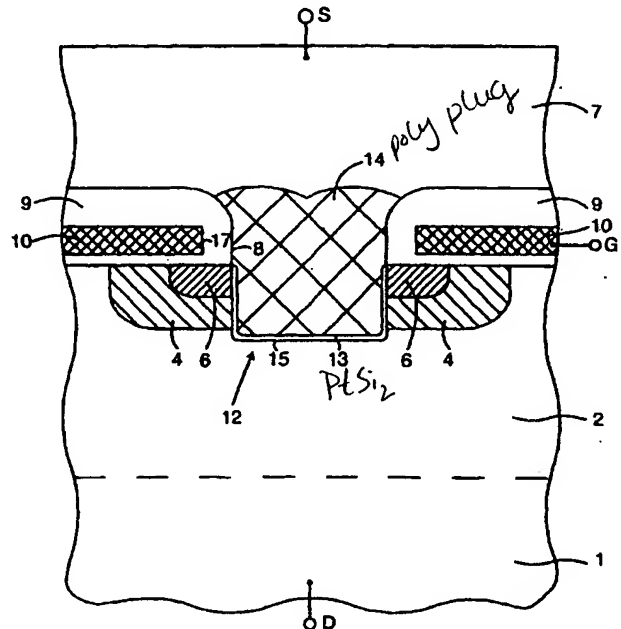
⑦ Erfinder:
Werner, Wolfgang, Dr., 81545 München, DE;
Sommer, Peter, 80804 München, DE; Kanert,
Werner, Dr., 83607 Holzkirchen, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ DMOS-Zelle mit Schottky-Diode

⑥ Die Erfindung betrifft eine DMOS-Zelle aus einem DMOS-Transistor (11) und einer Schottky-Diode (12), bei der die Schottky-Diode (12) in das Kontaktloch (8) des DMOS-Transistors (11) zu dessen Source-Zone (6) und Bodybereich (4) integriert ist.



DE 100 05 774 A 1

Beschreibung

Die vorliegende Erfindung betrifft eine DMOS-Zelle aus einem DMOS-Transistor und einer Schottky-Diode, bei der die Schottky-Diode parallel zur Source-Drain-Strecke des DMOS-Transistors liegt und die Source-Zone des DMOS-Transistors über ein Kontaktloch in einer Gate-Isolierschicht durch eine Source-Kontaktschicht kontaktiert ist.

Fig. 5 zeigt einen herkömmlichen DMOS-Transistor in der sogenannten "SPT 1-Technologie": Auf einem n⁺-leitenden Halbleitersubstrat 1 befindet sich eine n-leitende epitaktische Schicht 2, in welche ein p-leitender Bodybereich 3 aus einer p-leitenden Zone 4 und einer p⁺-leitenden Zone 5 und eine n⁺-leitende Source-Zone 6 durch Diffusion und/oder Implantation eingebracht sind. Die p⁺-leitende Zone 5 des Bodybereiches 3 und die n⁺-leitende Source-Zone 6 sind mit einer Source-Kontaktschicht 7 aus beispielsweise Aluminium in einem Kontaktloch 8 kontaktiert. Diese Source-Kontaktschicht 7 erstreckt sich auch über eine Isolierschicht 9 aus beispielsweise Siliziumdioxid, in welche eine Gateelektrode 10 aus beispielsweise polykristallinem Silizium eingelagert ist.

Bei diesem DMOS-Transistor erfolgt die Drain-Kontaktierung über das Siliziumsubstrat 1, so daß ein vertikaler DMOS-Leistungsschalter vorliegt. Bei einem solchen vertikalen DMOS-Leistungsschalter treten häufig Betriebszustände ein, bei denen die durch den pn-Übergang zwischen dem Bodybereich 3 und der epitaktischen Schicht 2 der Drain-Zone gebildete Body-Drain-Diode in Flußrichtung gepolt ist, so daß der DMOS-Transistor als Freilaufdiode betrieben ist. In einem solchen Betriebszustand werden Minoritätsladungsträger, also Löcher, in die aus dem Siliziumsubstrat 1 und der epitaktischen Siliziumschicht 2 gebildete Drain-Zone injiziert. Diese Minoritätsladungsträger müssen beim Schalten des DMOS-Leistungsschalters beim Einschalten der Diode in die Drain-Zone injiziert und beim Ausschalten wieder ausgeräumt werden, was die Betriebsfrequenz wesentlich vermindert.

Zur Vermeidung der Injektion von Minoritätsladungsträgern kann nun eine Schottky-Diode parallel zum DMOS-Transistor geschaltet werden, wie dies beispielsweise in US 4 811 065 (vgl. dort Fig. 7) vorgeschlagen ist. Aufgrund der geringeren Barrierenhöhe des Überganges in der Schottky-Diode wird die Injektion von Minoritätsladungsträgern zuverlässig und ähnlich wie in Schottky-TTL vermieden.

Es liegt damit also eine Schaltungsanordnung vor, wie diese in Fig. 4 gezeigt ist: parallel zur Source-Drain-Strecke eines DMOS-Transistors 11 mit Gate G, Drain D und Source S liegt eine Schottky-Diode 12. Eine derartige Schaltungsanordnung wird bisher durch eine großflächige Metallisierung über verschiedenen dotierten Bereichen eines Halbleiterkörpers realisiert, was viel Fläche erfordert und daher äußerst aufwendig ist.

Es ist somit Aufgabe der vorliegenden Erfindung, eine DMOS-Zelle aus einem DMOS-Transistor und einer Schottky-Diode anzugeben, für die bei geringem Aufwand nur eine minimale Fläche notwendig ist.

Diese Aufgabe wird bei einer DMOS-Zelle der eingangs genannten Art erfindungsgemäß dadurch gelöst, daß die Schottky-Diode im Kontaktloch zwischen der Source-Kontaktschicht und der Drain-Zone des DMOS-Transistors ausgebildet ist.

Bei der erfindungsgemäßen DMOS-Zelle sind also die Schottky-Diode und der DMOS-Transistor monolithisch integriert, wobei die pn-Diode zwischen dem Bodybereich und der Drain-Zone unmittelbar durch die Schottky-Diode "geklemt" wird. Mit anderen Worten, eine unerwünschte

Steigerung der wirksamen Barrierenhöhe einer zum DMOS-Transistor parallel geschalteten Schottky-Diode infolge von Bahn- und Zuleitungswiderständen entfällt. Aus diesem Grund kann die Fläche der Schottky-Diode erheblich reduziert werden.

Die Integration der Schottky-Diode unmittelbar in den DMOS-Transistor führt zu praktisch keiner oder allenfalls nur zu einer geringfügigen Erhöhung der von der DMOS-Zelle im Vergleich zum DMOS-Transistor eingenommenen Fläche, da das Kontaktloch zu dem Bodybereich bzw. der Source-Zone zu einer Schottky-Diode "umfunktioniert" ist.

Hierzu ist das Kontaktloch bis zu der beispielsweise n-leitenden epitaktischen Schicht durch den p-leitenden Bodybereich geätzt und mit einer Schottky-Metallisierung aus beispielsweise Wolframsilizid, Tantsilizid, Platinsilizid oder Molybdänsilizid versehen. Eine solche Silizidschicht bildet dann mit der n-leitenden Schicht einen Schottky-Kontakt und mit der n⁺-leitenden Source-Zone bzw. dem p-leitenden Bodybereich einen ohmschen Kontakt.

Auf die so gebildete Silizidschicht wird in üblicher Weise eine Metallisierung aufgetragen, wobei zwischen dieser Metallisierung und der Silizidschicht gegebenenfalls zur Vermeidung von Kantenbedeckungsproblemen infolge des tief gestalteten Kontaktloches noch ein Stöpsel aus n⁺-leitendem polykristallinem Silizium eingefügt werden kann.

Durch den p-leitenden Bodybereich ist die so gestaltete Schottky-Diode zwischen der Silizidschicht und der n-leitenden Siliziumschicht von dem p-leitenden Bodybereich als einem Schutzring umgeben, was bekanntlich Leckströme zu vermeiden hilft.

Der Schottky-Kontakt der Schottky-Dioden kann gegebenenfalls schachbrettmusterartig oder auch streifenförmig gestaltet sein. Eine streifenförmige Gestaltung ermöglicht dabei einen wesentlich größeren Anteil der Schottky-Fläche bezogen auf die Gesamtfläche einer DMOS-Zelle.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Schnittdarstellung einer erfindungsgemäßen DMOS-Zelle,

Fig. 2 eine Draufsicht auf ein schachbrettmusterartiges Design von DMOS-Zellen,

Fig. 3 eine Draufsicht auf ein streifenförmiges Design von DMOS-Zellen,

Fig. 4 ein Schaltbild zur Erläuterung der Parallelschaltung einer Schottky-Diode mit einem DMOS-Transistor und

Fig. 5 eine Schnittdarstellung eines bestehenden DMOS-Transistors.

Die Fig. 4 und 5 sind bereits eingangs erläutert worden.

In den Figuren werden für einander entsprechende Bauteile die gleichen Bezugszeichen verwendet.

Im folgenden kann der angegebene Leitungstyp jeweils durch den umgekehrten Leitungstyp ersetzt werden. Mit anderen Worten, anstelle des n-Leitungstyps kann der p-Leitungstyp treten, wenn gleichzeitig der p-Leitungstyp durch den n-Leitungstyp ersetzt wird.

Auf einem n⁺-leitenden Siliziumsubstrat 1 befindet sich eine n-leitende epitaktische Siliziumschicht 2, die zusammen mit dem Siliziumsubstrat 1 eine Drain-Zone bildet. In die epitaktische Siliziumschicht 2 ist durch Diffusion oder gegebenenfalls auch Implantation ein p-leitender Bodybereich 4 eingebracht, in welchem sich wiederum eine n⁺-leitende Zone 6 befindet. Die Zone 6 kann dabei wie der Bodybereich 4 durch Diffusion oder Implantation gebildet sein.

Im Unterschied zu dem DMOS-Transistor von Fig. 5 ist ein Kontaktloch 8 in der aus Siliziumdioxid und/oder Siliziumnitrid bestehenden Isolierschicht 9 bis zu der n-leitenden epitaktischen Siliziumschicht 2 geätzt. Dieses Kontaktloch 8 wird nach seinem Ätzen mit einer Schottky-Metallisierung

13 aus beispielsweise einem Wolframsilizid, einem Tantalsilizid, einem Platinsilizid oder einem Molybdänsilizid versehen. Gegebenenfalls können auch andere geeignete Schottky-Metallisierungen herangezogen werden. Auch ist es möglich, mehrere Filme der oben genannten Silizide einzusetzen.

Diese Schottky-Metallisierung 13 bildet mit der n-leitenden Siliziumschicht 2 einen Schottky-Kontakt und mit dem p-leitenden Bodybereich 4 sowie n⁺-leitenden Sourcezone 6 ohmsche Kontakte. Damit liegt eine Parallelschaltung einer Schottky-Diode 12 (vgl. Fig. 4) mit der Drain-Source-Strecke des DMOS-Transistors vor.

Das Kontaktloch 8 weist, da es bis zu der epitaktischen Siliziumschicht 2 reicht, eine beträchtliche Tiefe auf. Daher wird in bevorzugter Weise dieses Kontaktloch 8 mit einem Stöpsel 14 aus n⁺-leitendem polykristallinem Silizium versehen, auf den sodann die Aluminium-Sourcemetallisierung 7 aufgebracht wird. Selbstverständlich ist es aber auch möglich, auf diesen Stöpsel 14 zu verzichten und gegebenenfalls die Metallisierung 7 bis zu der Schottky-Metallisierung 13 reichen zu lassen. Die Verwendung des Stöpsels 14 aus n⁺-leitendem polykristallinem Silizium vermeidet aber Kantenbedeckungsprobleme, die sonst zwischen dem Silizid der Schottky-Metallisierung 13 und der Source-Metallisierung 7 auftreten könnten.

Der Bodybereich 4 bildet einen p-leitenden Schutzring um die Schottky-Diode zwischen der Schottky-Metallisierung 13 und der n-leitenden epitaktischen Siliziumschicht 2, so daß durch diesen Schutzring Leckströme zuverlässig unterdrückt werden.

Für die Fläche 15 zwischen der Schottky-Metallisierung 13 und der n-leitenden epitaktischen Siliziumschicht 2 können verschiedene Formen gewählt werden. Möglich sind beispielsweise ein schachbrettartiges Muster (vgl. Fig. 2) oder ein streifenförmiges Muster (vgl. Fig. 3), wobei dann die Kante 17 des polykristallinen Siliziums der Gateelektroden 10 entsprechend gestaltet ist.

Bezugszeichenliste

1 Siliziumsubstrat	40
2 epitaktische Siliziumschicht	
3 p-leitender Bereich	
4 p-leitende Zone	
5 p ⁺ -leitende Zone	45
6 Source-Zone	
7 Source-Kontaktschicht	
8 Kontaktloch	
9 Isolierschicht	
10 Gateelektrode	50
11 DMOS-Transistor	
12 Schottky-Diode	
13 Schottky-Metallisierung	
14 Stöpsel aus n ⁺ -leitendem polykristallinem Silizium	
15 Schottky-Fläche	55
S Source	
G Gate	
D Drain	

Patentansprüche

1. DMOS-Zelle aus DMOS-Transistor (11) und Schottky-Diode (12), bei der die Schottky-Diode (12) parallel zur Source-Drain-Strecke des DMOS-Transistors (11) liegt und die Source-Zone (6) des DMOS-Transistors über ein Kontaktloch (8) in einer Gate-Isolierschicht (9) durch eine Source-Kontaktschicht (7, 14) kontaktiert ist, dadurch gekennzeichnet, daß die

Schottky-Diode (12) im Kontaktloch (8) zwischen der Source-Kontaktschicht (7, 14) und der Drain-Zone (1, 2) des DMOS-Transistors (11) ausgebildet ist.

2. DMOS-Zelle nach Anspruch 1, dadurch gekennzeichnet, daß die Source-Kontaktschicht mit einer Schottky-Metallisierung (13) versehen ist.

3. DMOS-Zelle nach Anspruch 2, dadurch gekennzeichnet, daß die Schottky-Metallisierung (13) aus einem Silizid gebildet ist.

4. DMOS-Zelle nach Anspruch 3, dadurch gekennzeichnet, daß das Silizid ein Wolframsilizid, Tantalsilizid, Platinsilizid oder Molybdänsilizid ist.

5. DMOS-Zelle nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Source-Kontaktschicht (7, 14) im Kontaktloch (8) einen Stöpsel (14) aus leitendem polykristallinem Silizium aufweist.

6. DMOS-Zelle nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Schottky-Flächen (15) der Schottky-Dioden (12) schachbrettmusterartig angeordnet sind (vgl. Fig. 2).

7. DMOS-Zelle nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Schottky-Flächen (15) der Schottky-Dioden (12) streifenförmig angeordnet sind (vgl. Fig. 3).

8. DMOS-Zelle nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die Gate-Elektrode (10) aus polykristallinem Silizium besteht.

9. DMOS-Zelle nach Anspruch 8, dadurch gekennzeichnet, daß die Kante (17) des polykristallinen Siliziums die gleiche Gestalt wie die Schottky-Fläche (15) der Schottky-Diode (12) hat.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

Fig. 1

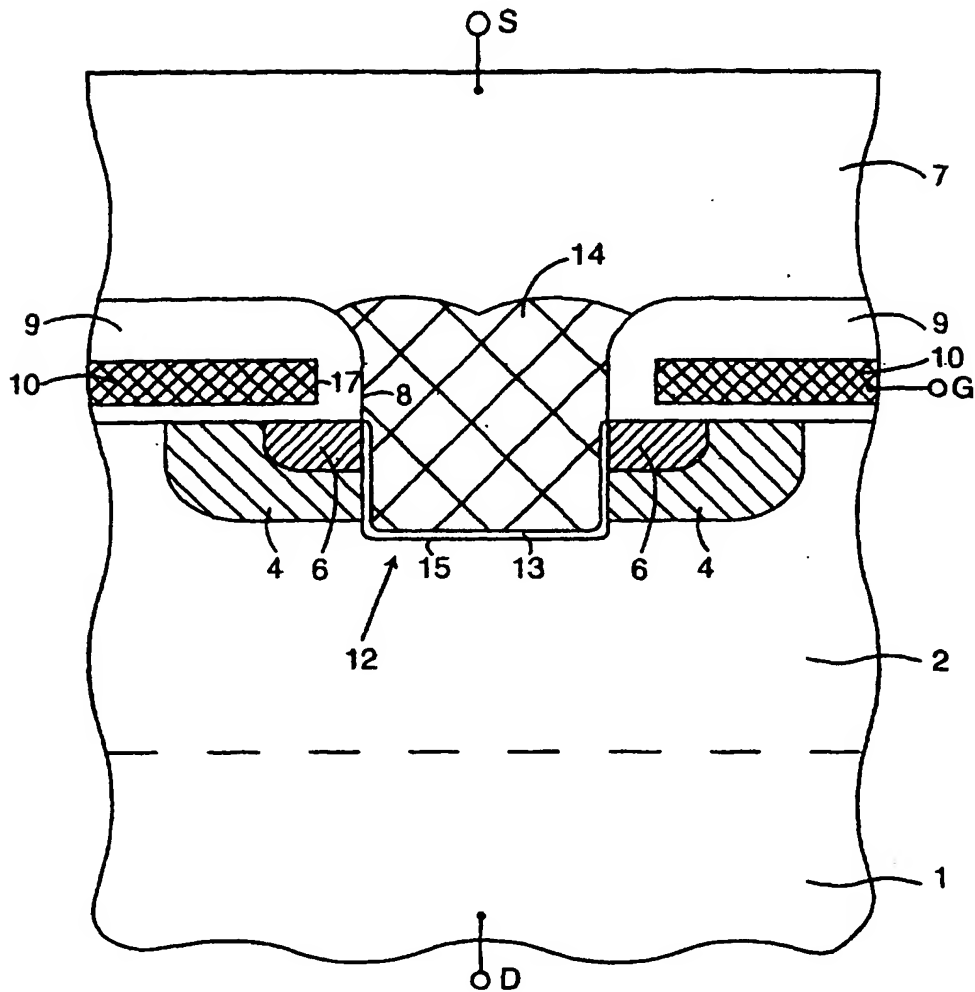


Fig. 4

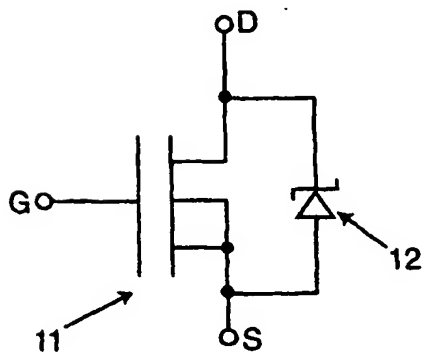


Fig. 5

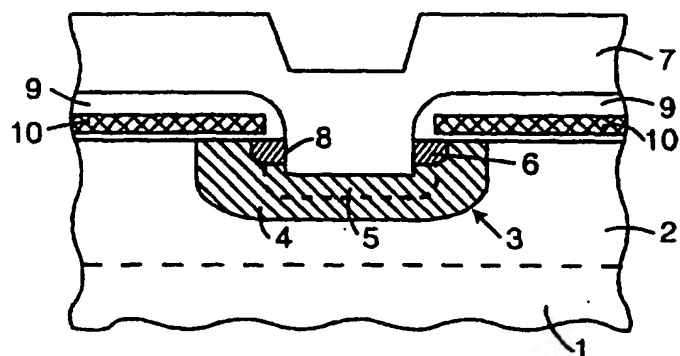


Fig. 2

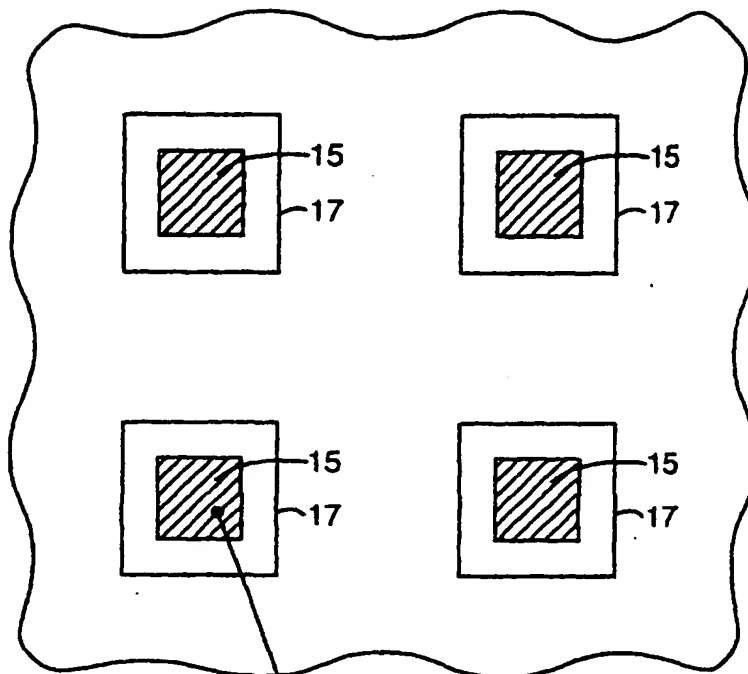


Fig. 3

